

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 2 月 10 日 (10.02.2005)

PCT

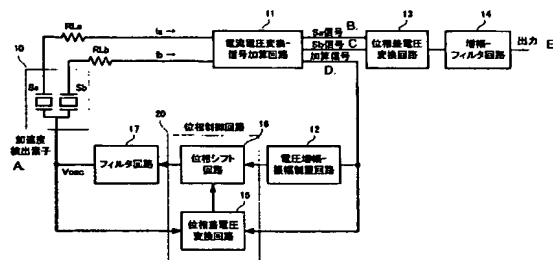
(10) 国際公開番号  
WO 2005/012920 A1

- (51) 国際特許分類<sup>7</sup>: G01P 15/09, 15/00, 3/44, G01L 1/10  
(21) 国際出願番号: PCT/JP2004/007248  
(22) 国際出願日: 2004 年 5 月 27 日 (27.05.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2003-204074 2003 年 7 月 30 日 (30.07.2003) JP  
(71) 出願人 (米国を除く全ての指定国について): 株式会社 村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 山下宗治 (YAMASHITA, Muneharu) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).  
(74) 代理人: 小森久夫 (KOMORI, Hisao); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).  
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

[続葉有]

(54) Title: PHYSICAL QUANTITY SENSOR

(54) 発明の名称: 力学量センサ



- 11...CURRENT/VOLTAGE CONVERSION-SIGNAL SUMMING CIRCUIT  
12...VOLTAGE AMPLIFICATION-AMPLITUDE LIMITING CIRCUIT  
13...PHASE DIFFERENCE/VOLTAGE CONVERSION CIRCUIT  
14...AMPLIFICATION-FILTER CIRCUIT  
15...PHASE DIFFERENCE/VOLTAGE CONVERSION CIRCUIT  
16...PHASE SHIFT CIRCUIT  
17...FILTER CIRCUIT  
20...PHASE CONTROL CIRCUIT  
A...ACCELERATION DETECTING ELEMENT  
B...Sa SIGNAL  
C...Sb SIGNAL  
D...SUM SIGNAL  
E...OUTPUT

(57) Abstract: Two piezoelectric oscillators (Sa, Sb) are provided such that a stress is applied reversely by a physical quantity, e.g. an acceleration. A current/voltage conversion-signal summing circuit (11) converts current signals flowing through two piezoelectric oscillators (Sa, Sb) into voltage signals. A voltage amplification-amplitude limiting circuit (12) amplifies the sum signal of these two voltage signals and limits the amplitude thereof. A phase difference/voltage conversion circuit (15) detects the phase difference between the sum signal and a feedback voltage signal (Vosc) being fed to a speed detection element (10). A phase shift circuit (16) controls the feedback voltage signal to have a specified phase. A filter circuit (17) suppresses the frequency components in unwanted frequency bands higher than the oscillation frequency. Temperature stability is enhanced by increasing the resistances of resistors (Rla, RLb) thereby increasing the damping ratio, abnormal oscillation is prevented by the filter circuit (17) and variation in the characteristics is suppressed by a phase control circuit (20).

(57) 要約: 2つの圧電振動子 (Sa, Sb) は、加速度等の力学量によって加わる応力が互いに逆となるように設ける。電流電圧変換-信号加算回路 (11) は、2つの圧電振動子 (Sa, Sb) に流れる電流信号を電圧信号に変換する。電圧増幅-振幅制限回路 (12) は、その2つの電圧信号の加算信号を増幅し、振幅を制限する。位相差電圧変換回路 (15) は加算信号と加速度検出素子 (10) へ与える帰還電圧信号 (Vosc) との位相差を検出する。位相シフト回路 (16) は、帰還電圧信号が所定の位相となるように位相制御する。フィルタ回路 (17) は発振周波数より高域の不要周波数帯の周波数成分

[続葉有]



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。